

## ⑫ 公開特許公報(A) 平1-307243

⑤ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬ 公開 平成1年(1989)12月12日

H 01 L 21/82  
21/88  
23/52R-8526-5F  
Z-6824-5F  
A-7454-5F

審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 半導体集積回路装置

⑯ 特 願 昭63-137320

⑰ 出 願 昭63(1988)6月6日

⑱ 発 明 者 広 瀬 佳 生 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑲ 出 願 人 富 士 通 株 式 会 社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁 理 士 青 木 朗 外4名

## 明 細 書

## 1. 発明の名称

半導体集積回路装置

## 2. 特許請求の範囲

半導体ウエハ(1)上に複数の集積回路(2)が形成されたウエハスケールの半導体集積回路装置において、

前記複数の集積回路の各個にそれぞれ電源供給を行うための第1の電源ライン(3,4)と並列にバイパスとしての少なくとも1つの第2の電源ライン(3a,3b;4a,4b)を設け、

該第1および第2の電源ラインをレーザ(L)の照射によって切断可能な材料で形成し、かつ、該レーザの照射によって導通状態に変化する非導通状態の領域(5a,5b;6a,6b)を該第2の電源ラインの途中に形成したことを特徴とする半導体集積回路装置。

## 3. 発明の詳細な説明

〔要 要〕

半導体IC装置、特に、半導体ウエハ上に複数

のICが形成されたウエハスケールの半導体IC装置において各ICに電源を供給する技術に関し、

使用しない良品チップの電源ラインをいったん切り離した後でも必要に応じて該チップをウエハスケールIC中に組み込むことを可能にし、それによって該ウエハスケールICを構成する上での自由度を高めることを目的とし、

上述の複数のICの各個にそれぞれ電源供給を行うための第1の電源ラインと並列にバイパスとしての少なくとも1つの第2の電源ラインを設け、該第1および第2の電源ラインをレーザの照射によって切断可能な材料で形成し、かつ、該レーザの照射によって導通状態に変化する非導通状態の領域を該第2の電源ラインの途中に形成するように構成する。

〔産業上の利用分野〕

本発明は、半導体集積回路装置(以下、半導体IC装置と称する)に関し、特に、半導体ウエハ上に複数のICが形成されたウエハスケールの半

導体IC装置(単に、ウエハスケールIC装置と称する)において各ICに電源を供給する技術に関する。

なお、以下の記述において便宜上、ウエハ上の複数のICの各個を「チップ」と称する。

(従来の技術、および発明が解決しようとする課題)

ウエハスケールIC装置は、一枚の半導体ウエハに複数の半導体ICを形成し、これらのICを切り離さずに相互配線を施すことにより製造される。

しかしながら良く知られているように、ウエハ上に形成されたチップは全てが良品とは限らないので、歩留りを考慮し且つ冗長度を持たせて各チップを形成することが行われる。また、不良品チップ、あるいは良品であっても使用しないチップについては、電源ラインから切り離すことが望ましい。

従来は、電氣的ヒューズを用いて該ヒューズに

過大な電流を流すことにより配線を切断したり、あるいは所望とする個所にレーザを照射することにより配線を切断し、それによってチップを電源ラインから切り離していた。

しかしながらこの方法では、使用しない良品チップ(Aとする)の電源ラインをいったん切り離してしまうと、ウエハスケールIC中の他の良品チップ(Bとする)が使用中に壊れた時に、そのチップ(B)の代わりをチップ(A)で代用しようとしても、チップ(A)は電源ラインから恒久的に切り離されているので代用は不可能である。これは、ウエハスケールICを構成する上でその自由度に欠けるものであり、好ましいとは言えない。

本発明は、かかる従来技術における課題に鑑み創作されたもので、使用しない良品チップの電源ラインをいったん切り離した後でも必要に応じて該チップをウエハスケールIC中に組み込むことを可能にし、それによって該ウエハスケールICを構成する上での自由度を高めることができる半

導体IC装置を提供することを目的としている。

(課題を解決するための手段)

上述した従来技術における課題は、各チップすなわち各ICに電源供給を行うための電源ラインと並列に、通常は切断されているが必要に応じて再接続可能なバイパスとしての電源ラインを設けることにより、解決される。

従って、本発明によれば、半導体ウエハ上に複数のICが形成されたウエハスケールの半導体IC装置において、前記複数のICの各個にそれぞれ電源供給を行うための第1の電源ラインと並列にバイパスとしての少なくとも1つの第2の電源ラインを設け、該第1および第2の電源ラインをレーザの照射によって切断可能な材料で形成し、かつ、該レーザの照射によって導通状態に変化する非導通状態の領域を該第2の電源ラインの途中に形成したことを特徴とする半導体IC装置が提供される。

(作用)

上述した構成によれば、任意のIC(チップ)に対応の第1の電源ライン(主電源ライン)を切り離して該チップへの電源供給を仮に断ったとしても、後の段階でそのチップを使用する必要がある場合には、該チップに対応の第2の電源ライン(バイパスの電源ライン)の特定領域、すなわち非導通状態の領域に対してレーザを照射することにより該領域を導通状態にし、それによって該チップに電源を供給することができる。

つまり、各チップは、バイパスの電源ラインを通じて再び電源供給を行うことができるように構成されているので、必要な時、例えばウエハスケールIC中の他のチップが使用中に壊れた時に、その代用として用いることができる。これは、ウエハスケールICを構成する上での自由度を高めるものである。

なお、本発明の他の構成上の特徴および作用の詳細については、添付図面を参照しつつ以下に記述される実施例を用いて説明する。

## 〔実施例〕

第1図には本発明の一実施例としてのウエハスケールIC装置の概略的な構成が平面的に示される。

同図において、1は半導体(シリコン)ウエハを示し、該半導体ウエハは、基板8上に固定的に設置されている。2は半導体ウエハ1上に形成された複数のチップ、すなわちICを示し、各ICは、高電位の電源ライン3(電圧 $V_{DD}=5V$ )と低電位の電源ライン4(電圧 $V_{SS}=0V$ )に接続されている。各電源ラインは、電源供給パッド7、および7<sub>n</sub>に接続され、さらに基板8の一端に固設されたコネクタ9を介して外部の装置、例えば各チップの動作の試験、あるいは各チップから送られてくるデータ信号に基づき各チップの制御を行うホストコンピュータ(図示せず)、に接続されている。

また、第1図には図示しないが、各チップにそれぞれ電源供給を行うための各電源ライン3および4と並列にそれぞれ、バイパスとしての電源ラ

イン(本実施例ではそれぞれ2本)が設けられている。その接続形態の一例は第2図に示される。すなわち第2図に示されるように、各チップ2に電圧 $V_{DD}$ を供給するための電源ライン3と並列にバイパスの電源ライン3aおよび3bが形成されており、同様に、各チップ2に電圧 $V_{SS}$ を供給するための電源ライン4と並列にバイパスの電源ライン4aおよび4bが形成されている。

バイパスの電源ライン3a, 3b, 4aおよび4bの途中に設けられた部分5a, 5b, 6aおよび6bは、半導体ウエハすなわちシリコン基板内の該電源ラインに対応する領域に設けられた非導通領域を示すもので、本実施例ではアモルファス・シリコンによって形成されている。従って、このアモルファス・シリコンからなる領域5a, 5b, 6aおよび6bは、通常は非導通状態にあるが、レーザービームの照射を受けると配線のメタルとシリコンの合金が生成され導通状態に変化する。つまり、必要に応じて領域5a, 5b, 6a または6bにレーザービームを照射することにより、当該電源ラインを切断状態から接続状態に

変えることができる。

なお、主電源ライン3および4、ならびにバイパスの電源ライン3a, 3b, 4aおよび4b(ただし非導通状態の領域5a, 5b, 6aおよび6bを除く)は、それぞれ知られているプロセスを用いてアルミニウム(A1)により形成される。従って、各電源ラインはレーザービームの照射によって切断可能な状態にある。

次に、本実施例のウエハスケールIC装置における電源供給の形態について、第3図(a)～(f)を参照しながら説明する。

同図において、(a)～(c)は電源ラインの接続または切断形態を示すもので、実線で示される部分5a(6a)および5b(6b)はレーザーの照射によって電氣的に接続される部分、すなわち前述した非導通状態の領域を表し、破線で示される部分10, 10aおよび10bはレーザーの照射によって電氣的に切断される部分を表している。また、(d)～(f)はそれぞれ(a)～(c)の状態を等価的に示すものである。なお、第3図(c)においてハッチングで示される

部分は、レーザーLの照射によって導通状態に変化した様子を等価的に表すものである。

まず、任意のチップ(Aとする)が実際に使用するチップであれば、第3図(a), (d)に示されるように主電源ライン3を通じて電源が供給される。しかしながら、このチップ(A)が使用しないチップであれば、第3図(b), (e)に示されるように、領域10の部分にレーザーLを照射して該主電源ライン3を切断し、電源が供給されないようにする。さらに、ウエハスケールIC中の他のチップ(Bとする)が使用中に壊れた時に、該チップ(B)の代わりをチップ(A)で代用する必要が生じた場合に、第3図(c), (f)に示されるように、非導通状態のアモルファス・シリコン領域5a(6a)にレーザーLを照射してバイパスの電源ライン3a(4a)を接続し、該電源ラインを通じて電源が供給されるようにする。

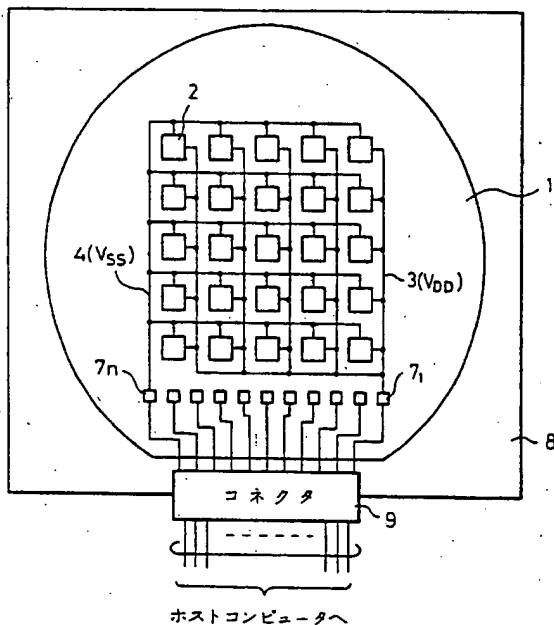
このように、使用しないチップの主電源ラインをいったん切断した後でも、必要に応じてバイパスの電源ラインの特定領域(つまり非導通領域)

にレーザを照射することにより、該チップをウエハスケールIC中に組み込むことができる。これは、ウエハスケールICを構成する上での自由度を高めることに寄与するものであり、極めて好適である。

なお、本実施例ではバイパスの電源ラインを2系統にしてウエハスケールICの再構成を2回行えるようにしたが、実際に設けるバイパスの電源ラインの数は、必要に応じて適宜設定され得ることはもちろんである。

#### 〔発明の効果〕

以上説明したように本発明の半導体IC装置によれば、使用しない良品チップの電源ラインをいったん切り離した後でも、必要に応じて、対応のバイパスの電源ラインの特定領域にレーザを照射することにより、該チップをウエハスケールIC中に組み込むことができ、それによって該ウエハスケールICを構成する上での自由度を高めることができる。



本発明の一実施例としてのウエハスケールIC装置の構成を概略的に示した平面図

第1図

#### 4. 図面の簡単な説明

第1図は本発明の一実施例としてのウエハスケールIC装置の構成を概略的に示した平面図、

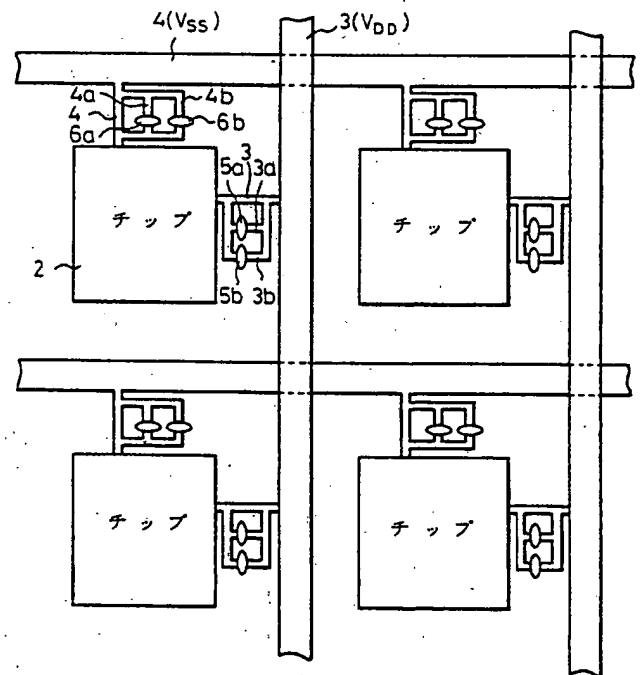
第2図は第1図装置の主要部の拡大平面図、

第3図(a)～(f)は第1図装置における電源供給の形態を説明するための図、

である。

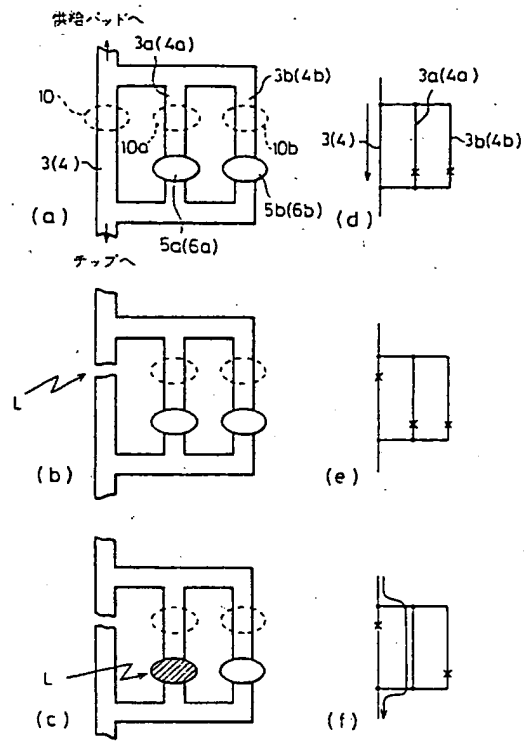
#### （符号の説明）

- 1…半導体ウエハ、
- 2…集積回路（チップ）、
- 3、4…主電源ライン、
- 3a、3b、4a、4b…バイパスの電源ライン、
- 5a、5b、6a、6b…特定領域（非導通領域）。



第1図装置の主要部の拡大平面図

第2図



第1図装置における電源供給の形態を説明するための図

第3図



# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-307243

(43)Date of publication of application : 12.12.1989

(51)Int.Cl.

H01L 21/82

H01L 21/88

H01L 23/52

(21)Application number : 63-137320

(71)Applicant : FUJITSU LTD

(22)Date of filing : 06.06.1988

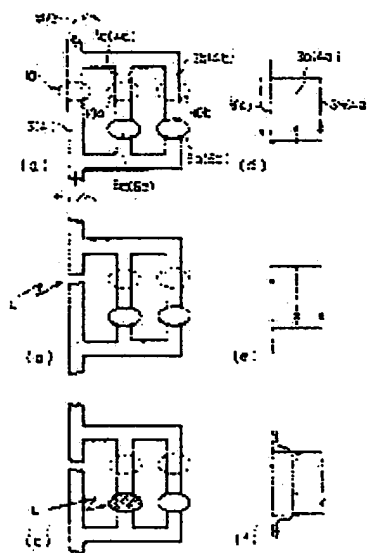
(72)Inventor : HIROSE YOSHIO

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

### (57)Abstract:

**PURPOSE:** To increase the degree of freedom in the case of constituting a wafer scale IC by arranging a power supply line, as a bypass, parallel to a power supply line to supply current to each IC, said bypass line being cut off in ordinary state and capable of reconnection in case of need.

**CONSTITUTION:** When an arbitrary chip (A) is a chip to be practically used, electric power is supplied through a main power supply line 3. When this chip (A) is a chip not to be used, the main power supply line 3 is cut by projecting laser light L on the region 10, so that electric power may not be supplied. When another chip (B) in a wafer scale IC is broken during operation, and the chip (A) is required to operate instead of the chip (B), power supply lines 3a, 4a are connected by projecting the laser light L on amorphous silicon regions 5a, 6a in the state of electric disconnection, so that electric power is supplied through the power supply lines. Thereby the degree of freedom for constituting a wafer scale IC can be increased.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

# THE HISTORY OF THE

REIGN OF  
HAROLD GODWINSON

BY  
J. H. P. M. VAN DER BEEK

THE HISTORY OF THE  
REIGN OF HAROLD GODWINSON

BY  
J. H. P. M. VAN DER BEEK

1891

THE HISTORY OF THE  
REIGN OF HAROLD GODWINSON

BY  
J. H. P. M. VAN DER BEEK

THE HISTORY OF THE  
REIGN OF HAROLD GODWINSON

BY  
J. H. P. M. VAN DER BEEK

THE HISTORY OF THE

REIGN OF HAROLD GODWINSON



rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

the first of these is the fact that the  
 the second is the fact that the  
 the third is the fact that the

the fourth is the fact that the